

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-324106

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

G01R 31/26

G01R 31/28

H01L 21/66

(21)Application number : 05-111841

(71)Applicant : NEC CORP

(22)Date of filing : 13.05.1993

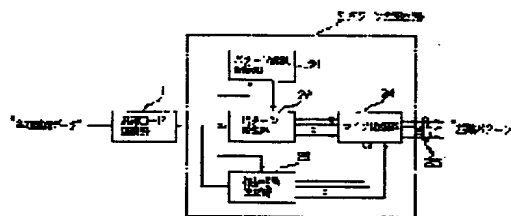
(72)Inventor : ISHIZAWA MAKOTO

(54) BURN-IN TESTING DEVICE

(57)Abstract:

PURPOSE: To simplify burn-in test for semiconductor integrated circuit.

CONSTITUTION: A burn-in testing device for semiconductor integrated circuit is provided with a kind code identifying part 1 for identifying the kind code of a semiconductor integrated circuit; a pattern information memory part 21 for housing the waveform information of a pattern signal necessary every kind code and the line information necessary for the pattern signal; a pattern generator 22 for generating the pattern signal from the waveform information; a signal generating part 23 for generating a connection signal from the line information; and a line connecting part 24 for connecting and supplying the pattern signal to a necessary line according to the connection signal. The semiconductor integrated circuit is installed to a test board, whereby the kind of the semiconductor integrated circuit is automatically judged, and a necessary pattern signal is supplied to a necessary pin. It is not required to provide the test board every kind of semiconductor integrated circuit, the replacing process is reduced, and the burn-in test is simplified.



LEGAL STATUS

[Date of request for examination]

14.05.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2054060

[Date of registration]

23.05.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

27.09.2003

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平7-89139

(24) (44)公告日 平成7年(1995)9月27日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/26	H			
31/28	G			
			G 0 1 R 31/ 28	X

請求項の数4(全 5 頁)

(21)出願番号	特願平5-111841
(22)出願日	平成5年(1993)5月13日
(65)公開番号	特開平6-324106
(43)公開日	平成6年(1994)11月25日

(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(72)発明者	石澤 真 東京都港区芝五丁目7番1号日本電気株式 会社内
(74)代理人	弁理士 稲垣 清

審査官 関根 洋之

(56)参考文献	特開 平4-203980 (J P, A)
	特開 昭63-26580 (J P, A)
	特開 昭59-141077 (J P, A)
	特開 平2-93385 (J P, A)

(54)【発明の名称】 パーンーイン試験装置

1

【特許請求の範囲】

【請求項1】 品種識別データを有する半導体装置をバーンーイン試験するためのバーンーイン試験装置において、
前記品種識別データから品種コードを識別する品種コード識別部と、
前記品種コードに対応するパターン信号の波形情報と該パターン信号を供給すべきライン指定を含むライン情報とが記憶されたパターン情報記憶部と、
前記波形情報に従い、少なくとも1つのパターン信号を出力するパターン発生器と、
前記ライン情報に従い、前記出力されたパターン信号を前記ライン指定に対応する出力ラインに供給する信号出力部とを備えることを特徴とするバーンーイン試験装置。

2

【請求項2】 前記信号出力部が、前記ライン情報に従いライン接続信号を生成する接続信号生成部と、該ライン接続信号が入力され、前記パターン信号が出力される信号ラインを前記ライン指定に対応する出力ラインに接続するライン接続部とから構成されることを特徴とする請求項1に記載のバーンーイン試験装置。

【請求項3】 前記パターン発生器が、相互に異なる波形を有するパターン信号の数に対応する数のチャンネルから構成されることを特徴とする請求項1又は2に記載のバーンーイン試験装置。

【請求項4】 前記ライン接続部が、マトリックス状に配設された複数の入力端及び出力端と、該各入力端及び出力端を導通させるスイッチ手段と、該スイッチ手段を制御する制御部とを備えることを特徴とする請求項1乃至3の一に記載のバーンーイン試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バーン－イン試験装置に関し、更に詳しくは、半導体集積回路の入力に一定レベルの所定電圧又は時間と共に変化する信号から成るパターン信号を与えながらバーン－イン試験を行うためのバーン－イン試験装置に関する。

【0002】

【従来の技術】半導体集積回路では、初期故障を無くす等により製品の信頼性を保証するために、バーン－イン試験と呼ばれる信頼性加速試験が行われる。半導体集積回路は、このバーン－イン試験において、所定の高い温度と電源電圧とから成るストレスが最低限加えられて、潜在的不良個所の顕在化が加速される。半導体集積回路は、バーン－イン試験の後、引続きの作動試験等によって顕在化した不良個所を有する製品が排除され、その信頼性が確保される。

【0003】バーン－イン試験には、不良個所の顕在化を加速するための電気回路として、所定の高い電源電圧を印加した上で、集積回路の全ての接続ピンを一定電圧に維持するのみのスタティック・バーン－イン試験と、集積回路の全ての接続ピン又は所定の接続ピンに対して作動のための信号パターンを印加するダイナミック・バーン－イン試験とが含まれる。一般にこれらバーン－イン試験は、バーン－イン炉内で半導体集積回路を搭載すると共にこれにテスト用の信号を供給する試験ボードを利用して行われる。

【0004】一般に、バーン－イン試験の際に印加される一定レベルの電圧及びパターン波形から成るテスト信号の種類並びにそのテスト信号が供給される接続ピンは、半導体集積回路の種類毎に異なる。このため、テスト信号を生成するパターン発生器及び試験ボードは、半導体集積回路の種類毎に夫々異なるものが使用される。

【0005】

【発明が解決しようとする課題】半導体集積回路の種類は近年ますます増加する傾向に有り、特にゲートアレイ等の半導体集積回路の場合にはその種類が多いので、バーン－イン試験の際に使用される試験ボードの種類は極めて多い。このため、試験ボード自体のコスト及びその取り替えの工数によりバーン－イン試験に必要な費用が増大する。しかし、従来、例えば試験ボードの種類を有効に削減可能なバーン－イン試験装置は知られていなかった。

【0006】本発明は、上記従来のバーン－イン試験の問題に鑑み、半導体集積回路の種類毎に異なる試験ボードを用意する必要がないため、試験ボードの数を削減可能であり、従って、バーン－イン試験にかかる費用を削減可能なバーン－イン試験装置を提供することを目的とする。

【0007】

【課題を解決するための手段】前記目的を達成するため、

本発明のバーン－イン試験装置は、品種識別データを有する半導体装置をバーン－イン試験するためのバーン－イン試験装置において、前記品種識別データから品種コードを識別する品種コード識別部と、前記品種コードに対応するパターン信号の波形情報と該パターン信号を供給すべきライン指定を含むライン情報とが記憶されたパターン情報記憶部と、前記波形情報に従い、少なくとも1つのパターン信号を出力するパターン発生器と、前記ライン情報に従い、前記出力されたパターン信号を前記ライン指定に対応する出力ラインに供給する信号出力部とを備えることを特徴とする。

【0008】ここで、本明細書で使用する「パターン発生器」には、試験信号を成す通常のテストパターンを発生させるパターン発生器の他に、一定レベルの電圧を半導体装置の所定の接続ピンに供給するものも含まれる。また、パターン発生器は、夫々が1つのパターン信号又は一定レベルの電圧を出力する複数のパターン発生器の集合により構成される場合、及び、夫々がパターン信号又は一定レベルの電圧を出力する信号生成チャネルの集合からなる1つのパターン発生器である場合を含む。

【0009】

【作用】バーン－イン試験に必要なパターン信号の波形情報及びそのパタン信号を供給すべきラインを指定するライン情報が、品種コードの判定結果によりパターン情報記憶部から読み出され、これら各情報に基づいてパターン信号が生成されると共に、生成された各パターン信号がそれを必要とするラインに夫々供給されるので、半導体集積回路の種類毎に異なる試験ボードを必要とすることなく、バーン－イン試験が行われる。

【0010】

【実施例】図面を参照して本発明を更に詳しく説明する。図1は、本発明の一実施例のバーン－イン試験装置の構成を示すブロック図である。同図において、このバーン－イン試験装置は、品種コード識別部1及びパターン発生回路2から構成され、パターン発生回路1は、パターン情報記憶部21、パターン発生器22、接続信号生成部23、及び、ライン接続部24から成る。パターン発生器22は、ライン接続部24の出力ライン25の数と同じチャネル数を有し、各チャネルで夫々1つのパターン信号を生成する。

【0011】品種コード識別部1は、被試験半導体集積回路の品種識別データが入力され、これから半導体集積回路の種類を示す品種コードを識別する。この実施例の場合、品種コード識別部1は、所定の識別用の信号を半導体集積回路に入力し、これに应答して半導体集積回路から出力される信号を読み取ることで品種コードの識別を行う。なお、これに代えて、半導体集積回路には品種に対応するコード番号を記録し、これを品種コード識別部1が読み取る構成も採用できる。

【0012】パターン発生器 22 は、一定レベルの電圧を出力するチャネル、所定の周波数のクロック信号を発生させるチャネル、或いは特殊なパターンを生成するチャネル等、種々のチャネルを備える。パターン発生器 22 は、品種コード識別部 1 の出力を受けて、パターン情報記憶部 21 に格納されている波形情報から、必要なパターン信号の波形を引き出し、それにより必要なパターン信号を対応する各チャネルで生成する。この波形情報は、例えば、品種コードと、半導体集積回路の接続ピン毎に必要なパターン信号との表の形式として格納される。

【0013】接続信号生成部 23 は、パターン情報記憶部 21 に格納されているライン情報からライン接続信号を生成する。ライン情報は、例えば、各パターン信号を供給すべきライン乃至は接続ピンを指定する、品種コード毎の表の形式として格納される。接続信号生成部 23 により形成されるライン接続信号は、例えば、ライン接続部 24 の各入力ラインとこれに接続すべき出力ラインとの導通を制御する信号とすることが出来る。

【0014】ライン接続部 24 は、パターン発生器 22 から出力される各パターン信号と、接続信号生成部 23 から出力されるライン接続信号とを受けて、各パターン信号を必要なラインに供給するために、各出力ラインを所定の入力ラインに切換え接続する。この実施例の場合には、ライン接続部 24 の入力数と出力数とは同数である。

【0015】図 2 は、図 1 の実施例のバーン－イン試験装置を採用して、例えばダイナミック・バーン－イン試験を行うバーン－イン試験炉を例示する模式的断面図である。同図において、被試験半導体集積回路 3 は、接続ピンが試験ボード 9 のソケット 10 に装着されて、炉内部に収容された試験ボード 9 に取付けられる。半導体集積回路 3 に所定のパターンを供給するために、品種コード識別部 1 及びパターン発生回路 2 が炉外に設けられる。炉内と炉外とはコネクタ 8 により配線が接続される。

【0016】被試験半導体集積回路 3 のチップには、品種識別データを回路構成に含む品種識別回路 4 が設けられており、品種コード識別部 1 は、信号線 5 を経由して品種識別のための検出用信号を出力する。品種識別回路 4 からは、これに应答して、品種コードを識別するための出力が、信号線 5 を経由して品種コード識別部 1 に入力される。

【0017】品種コード識別部 1 で得られた品種コードは、信号線 6 を経由してパターン発生回路 2 に入力される。パターン発生回路 2 は、この品種コードに基づいて被試験半導体集積回路 3 のバーン－イン試験に必要なパターン信号を生成する。得られた各パターン信号は、コネクタ 8、試験ボード 9 のプリント配線 7、及び試験ボード 9 のソケット 10 を経由して、半導体集積回路 3 の

接続ピンに供給される。

【0018】上記構成を採用することにより、パターン発生回路 2 で生成された各パターン信号は、全て半導体集積回路 3 の対応する接続ピンに供給される。試験ボード 9 は、接続ピンの形状がソケット 10 に適合することを前提として、半導体集積回路 3 の種類の相違に拘らず常に同じものが採用できる。従って、スタティック及びダイナミックの各バーン－イン試験で同じ試験ボードを採用することも出来、試験ボードの種類を半導体集積回路の種類に応じて変える必要がない。このため、試験ボードの種類及び個数の低減はもとより、従来、試験の度に必要であった試験ボード取り替えのための工数も削減できる。また、試験ボードの形式を間違える等のミスも生じない。

【0019】図 3 は、本発明の第二の実施例のバーン－イン試験装置の構成を示す図 2 と同様な図面である。第二の実施例のバーン－イン試験装置では、ライン接続部を成すマトリックスボックス 11 がパターン発生回路 20 の外部に設けられており、また、そのマトリックスボックス 11 の構成が図 1 のライン接続部 24 と構成が異なる点で、第一の実施例のバーン－イン試験装置と異なる。

【0020】図 4 は、マトリックスボックス 11 の構成を示す回路図である。同図において、マトリックスボックス 11 は、デコーダ 12 と、入力端子 13 に接続された入力マトリックスライン 1a、1b、1c と、出力端子 14 に接続された出力マトリックスライン 2a、2b、・・・2f と、各マトリックスラインを導通させるスイッチ 15 とから構成される。

【0021】各入力マトリックスライン 1a、1b、1c には、相互に異なる波形のパターン信号が入力端子 13 を経由して入力される。デコーダ 12 は、各出力マトリックスライン 2a、2b、・・・2f に対応するデコーダブロック a、b、・・・f から成る。各デコーダブロック a、b、・・・f は、ライン接続信号を受けて対応する各出力マトリックスライン 2a、2b、・・・2f を入力マトリックスラインのいずれかに導通させる 3 つのスイッチ 15 を制御する。これにより、入力端子 13 から与えられた波形の相互に異なる各パターン入力が必要とする出力マトリックスライン 2a、2b、・・・2f を経由して出力される。

【0022】上記第二の実施例の構成によると、パターン発生器 20 は、単に、パターン信号の波形の種類毎にパターン信号生成チャネルを備えることで足りるので、第一の実施例のパターン発生器 22 に比して、チャネル数が少なくても足りる。従って、バーン－イン試験装置を小型化でき、低コストで製作できるという利点がある。

【0023】従来、IC テスタにおいては、半導体集積回路内部に品種識別データを記録し、このデータから半導体集積回路毎に最適のプログラム、テストパターンを

自動的に選択する例が見られた。また、バーナーイン試験装置では、試験ボードのコードを指定することにより、自動的に供給電圧を選択する方式が試みられている。しかし、本発明の如く、バーナーイン試験装置において、品種識別データから品種コードを識別して、自動的にパターン信号を発生させると共に、そのパターン信号を供給するラインを自動的に選択して接続する例は知られていない。特に本発明のバーナーイン試験装置は、スタティック及びダイナミックのバーナーイン試験の工程を簡素化すると共にその試験ボードの種類を削減する

【0024】上記各実施例の構成は、いずれも単に例示である。従って、本発明のバーナーイン試験装置には、これら各実施例から種々の変更・修正を行って得られたバーナーイン試験装置も含まれる。

【0025】

【発明の効果】以上説明したように、本発明のバーナーイン試験装置によると、バーナーイン試験装置に必要な試験ボードの種類を削減出来るので、試験ボード自体の費用の低減のみならず試験ボードの取り替えの工数も削減できるので、バーナーイン試験を簡素化し、そのコストを低減できるという顕著な効果を奏する。

【図面の簡単な説明】

*

*【図1】本発明の第一の実施例のバーナーイン試験装置の構成を示すブロック図である。

【図2】図1のバーナーイン試験装置を採用するバーナーイン試験炉の断面図である。

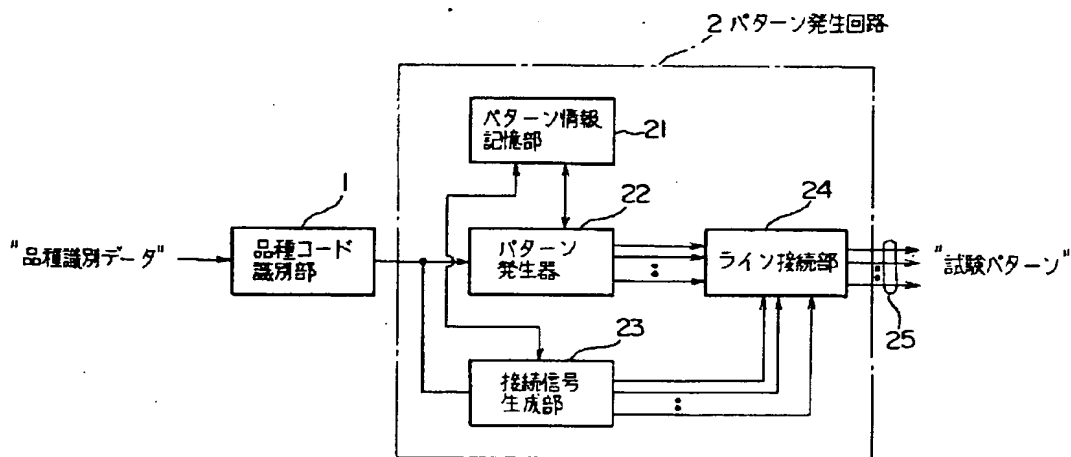
【図3】本発明の第二の実施例のバーナーイン試験装置を採用するバーナーイン試験炉の断面図である。

【図4】図3のバーナーイン試験装置におけるマトリックスボックスの構成を示す回路図である。

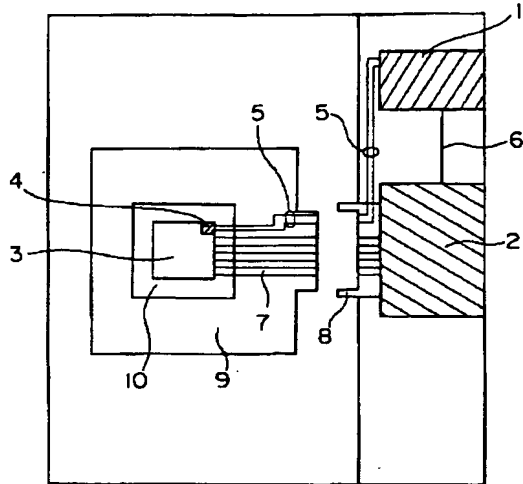
【符号の説明】

- 1 品種コード識別部
- 2、20 パターン発生回路
- 21 パターン情報記憶部
- 22 パターン発生器
- 23 接続信号生成部
- 24 ライン接続部
- 3 被試験半導体集積回路
- 4 品種識別回路
- 5、6、7 信号線
- 8 ソケット
- 9 試験ボード
- 10 ソケット
- 11 マトリックスボックス

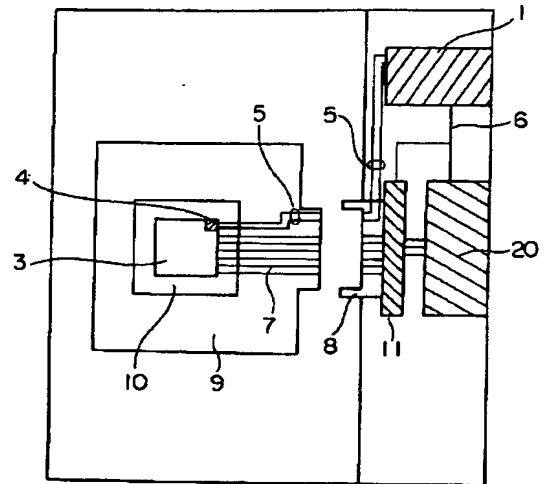
【図1】



【図2】



【図3】



【図4】

